

B.S.K.B.
YiI-SuK YANG
November 30, 1998
630-870P
10F1

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

JC549 U.S. PTO
09/200935



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

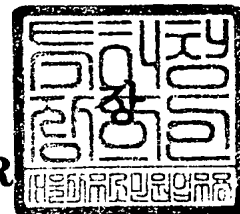
출원번호 : 1998년 특허출원 제20619호
Application Number

출원년월일 : 1998년 6월 3일
Date of Application

출원인 : 엘지반도체주식회사
Applicant(s)

199⁸ 년 10 월 24 일

특 허 청
COMMISSIONER



특허출원서

【출원번호】 98-020619

【출원일자】 1998/06/03

【국제특허분류】 G06F 003/02

【발명의 국문명칭】 직렬 통신 인터페이스 회로

【발명의 영문명칭】 SERIAL COMMUNICATION INTERFACE CIRCUIT

【출원인】

【국문명칭】 엘지반도체 주식회사

【영문명칭】 LG SEMICON CO., LTD.

【대표자】 구본준

【출원인코드】 11007058

【출원인구분】 국내상법상법인

【전화번호】 02-526-4130

【우편번호】 361-480

【주소】 충청북도 청주시 흥덕구 향정동 1번지

【국적】 KR

【대리인】

【성명】 박장원

【대리인코드】 F055

【전화번호】 02-549-6934

【우편번호】 135-010

【주소】 서울특별시 강남구 논현동 200번지

【발명자】

【국문성명】 양일석

【영문성명】 YANG, Yil Suk

【주민등록번호】 670516-1783033

【우편번호】 791-940

【주소】 경상북도 포항시 북구 흥해읍 마산리 231번지

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

박장원 (인)

【심사청구】 특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

대리인

박장원 (인)

【수신처】 특허청장 귀하

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 5 항 269,000 원

【합계】 298,000 원

【첨부서류】

1. 요약서, 명세서(및 도면) 각 1통
2. 출원서 부분, 요약서, 명세서(및 도면)을 포함하는 FD부분 1통
3. 위임장(및 동 번역문)

【요약서】

【요약】

본 발명은 코덱(CODEC) 인터페이스부(10), 8 비트/16 비트 겸용 직렬 입출력 인터페이스부(Serial Input/Output Interface Unit:SI0)(50) 그리고 클럭 소오스 선택부(30)로 구성되어, 8 비트/16 비트 겸용 직렬 입출력 인터페이스부(50)를 사용하기 때문에 데이터 송,수신때, 8 비트 또는 16 비트 직렬 입출력 인터페이스 회로보다 효율적으로 동작하고, 다양한 클럭신호가 입력되더라도 클럭 소오스 선택부(30)에 의해 코덱 인터페이스부(10)나 직렬 입출력 인터페이스부(50)를 정상 동작시킬 수 있고, 특히 높은 스피드를 갖는 클럭신호가 입력으로 들어와도 정상 동작할 수 있는 직렬 통신 인터페이스 회로에 관한 것이다.

【대표도】

도 2

【명세서】

【발명의 명칭】

직렬 통신 인터페이스 회로

【도면의 간단한 설명】

도 1은 종래 직렬 통신 인터페이스 회로의 블록도.

도 2는 본 발명의 직렬 통신 인터페이스 회로의 블록도.

도 3은 도 2에서 코덱 인터페이스부의 블록도.

도 4는 도 2에서 클럭 분주기의 상세 회로도.

도 5는 도 2에서 3/4 진 카운터의 상세 회로도.

도 6은 도 2에서 송신 직렬 입출력 인터페이스부의 회로도.

도 7은 도 6에서 데이터 송신부의 회로도.

도 8은 도 2에서 수신 직렬 입출력 인터페이스부의 회로도.

도 9는 도 8에서 데이터 수신부의 회로도.

도면의주요부분에대한부호설명

10 : 코덱 인터페이스부(CODEC Interface Unit)

10-1 : 모듈 3 카운터(Module 3 Counter)

10-2 : T 플립플롭

10-3 : 프레임 발생부

20 : 클럭 분주기(Clock Divider)

30 : 클럭 소스 선택부(Clock Source Select Unit)

40 : 3/4 진 카운터

50 : 8 비트/16 비트 겸용 직렬 입출력 인터페이스부

50-1 : 송신 직렬 입출력 인터페이스부

50-2 : 수신 직렬 입출력 인터페이스부

TX1,TX2 : 데이터 송신부

RX1,RX2 : 데이터 수신부

SH71-SH78,SH91-SH98 : 시프터

TFF41-TFF44,TFF51-TFF54 : T 플립플롭

INV51,INV61,INV81 : 인버터

NOR51 : 노아게이트

OR51-OR53,OR61,OR81 : 오아게이트

AND61,AND62,AND81,AND82 : 앤드게이트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 직렬 통신 인터페이스 회로에 관한 것으로, 특히 다양한 입력클럭신호가 입력되어도 정상동작할 수 있는 직렬 통신 인터페이스 회로에 관한 것이다.

도 1은 종래 직렬 통신 인터페이스 회로의 블록도로써 이에 도시된 바와 같이, 외부클럭신호(CLK)가 입력되어 코덱클럭신호(CDCLK)를 출력하는 코덱 클럭 발생부(1-1)와, 상기 코덱클럭신호(CDCLK)가 입력되어 동기신호(SYNC)를 출력하는 프레임

발생부(1-2)로 구성된 코덱 인터페이스부(1)와, 외부클럭신호(CLK)가 입력되어 직렬 입출력 인터페이스 클럭신호(SIOCLK)를 출력하는 클럭선택부(2-1)와, 상기 직렬 입출력 인터페이스 클럭신호(SIOCLK)가 각각 입력되어 데이터를 데이터버스에 출력하는 송신 시프트 레지스터(2-2)와, 데이터 버스에 실린 데이터를 수신하는 수신 시프트 레지스터(2-3)로 구성된 직렬 입출력 인터페이스부(2)가 독립적으로 구성되어 있다.

이와 같이 구성된 종래 직렬 통신 인터페이스 회로의 동작을 설명하면 다음과 같다.

직렬 통신 인터페이스 회로는 직렬 데이터 송수신에 관한 회로로써, 병렬 입력, 직렬 출력과 직렬 입력, 병렬 출력이 가능한 회로이다.

외부클럭신호(CLK)가 코덱 인터페이스부(1)에 입력되면, 코덱 인터페이스부(1)의 코덱 클럭 발생부(1-1)는 코덱클럭신호(CDCLK)를 발생하여, 프레임 발생부(1-2)와 직렬 입출력 인터페이스부(2)에 입력한다.

이어서, 상기 프레임 발생부(1-2)는 상기 코덱클럭신호(CDCLK)를 입력받아 동기신호(SYNC)를 출력한다.

여기서, 상기 코덱 인터페이스부(1)는 코덱과 코덱 사이에 존재하여 각각의 코덱에 외부클럭신호(CLK)와 동기신호(SYNC)를 맞추어 준다.

상기 코덱클럭신호(CDCLK)를 입력받은 클럭선택기(2-1)는 각각 송신 시프트 레지스터(2-2)와 수신 시프트 레지스터(2-3)에 직렬 입출력 인터페이스 클럭신호(SIOCLK)를 출력하여 동기시킨다.

이어서, 데이터 송신 시에는 송신 데이터가 송신 시프트 레지스터(2-2)에 저장되면, 송신 시프트 레지스터(2-2)가 쓰기 인에이블신호(WR)와 읽기 인에이블신호(RD)에 의해 제어되어 송신 데이터를 데이터 버스에 실리도록 출력한다.

한편, 데이터 수신 시에는 데이터 버스에 실린 수신 데이터가 읽기 인에이블신호(RD)에 의해 인에이블된 수신 시프트 레지스터(2-3)에 입력된다.

【발명이 이루고자 하는 기술적 과제】

코덱 인터페이스부(1)에 입력되는 외부클럭신호(CLK)의 변화폭이 다양하게 되면, 정상적인 코덱 인터페이스나 직렬 입출력 인터페이스 동작을 할 수 없고, 코덱 인터페이스부(1)와 직렬 입출력 인터페이스부(2)가 각각 따로 구성되어 있기 때문에 동시에 사용할 수 없어 효율적인 동작을 할 수 없는 문제점이 발생하였다.

따라서, 본 발명의 목적은 다양한 클럭신호가 입력되더라도 정상적인 코덱 인터페이스나 직렬 입출력 인터페이스 동작을 할 수 있는 직렬 통신 인터페이스 회로를 제공하는데 있다.

상기의 목적을 달성하기 위한 본 발명 직렬 통신 인터페이스 회로는 외부클럭신호가 입력되어 코덱클럭신호와 동기신호를 출력하는 코덱 인터페이스부와, 외부클럭신호를 분주하는 클럭 분주기와, 상기 코덱 인터페이스부에서 출력되는 코덱클럭신호 및 상기 클럭분주기에서 출력되는 분주된 클럭신호들을 선택하여 출력하는 클럭 소오스 선택부와, 그 클럭 소오스 선택부에서 출력되는 출력클럭신호를 입력받아 이를 3진 또는 4진으로 카운트하는 3/4 진 카운터와, 그 3/4 진 카운터에서 출력되는 직렬 입출력 인터페이스 클럭신호와 읽기,쓰기 제어신호가 입력되어 데이터를

송신 또는 수신하는 직렬 입출력 인터페이스부를 포함하여 구성된 것을 특징으로 한다.

【발명의 구성 및 작용】

도 2는 본 발명 직렬 통신 인터페이스 회로의 블록도로써 이에 도시된 바와 같이, 입력클럭신호(CLK)가 입력되어 코덱클럭신호(CDCLK)와 동기신호(SYNC)를 출력하여 코덱과 코덱 사이에서 코덱클럭신호(CDCLK)와 동기신호(SYNC)를 맞추어주는 코덱 인터페이스부(10)와, 입력클럭신호(CLK)를 분주하는 클럭분주기(20)와, 상기 코덱 인터페이스부(10)에서 출력되는 코덱클럭신호(CDCLK)와 상기 클럭분주기(20)에서 출력되는 분주된 클럭신호들($\varphi/16 - \varphi$)을 선택하여 출력하는 클럭소오스선택부(30)와, 그 클럭소오스선택부(30)에서 출력되는 출력클럭신호(OUTCLK)를 입력받아 이를 3진 또는 4진 카운트하는 3/4진 카운터(40)와, 그 3/4진 카운터(40)에서 출력되는 직렬 입출력 인터페이스 클럭신호(SIOCLK)와 읽기,쓰기 제어신호(RD,WR)가 입력되어 데이터를 송신하는 송신 직렬 입출력 인터페이스부(50-1)와 데이터를 수신하는 수신 직렬 입출력 인터페이스부(50-1)를 포함하여 구성된 직렬 입출력 인터페이스부(50)로 구성된다.

도 3은 상기 코덱 인터페이스부(10)의 상세 블록도를 보인 도면으로써 이에 도시된 바와 같이, 외부클럭신호(CLK)가 입력되는 모듈 3 카운터(10-1)와, 그 모듈 3 카운터(10-1)의 출력이 입력되어 코덱클럭신호(CDCLK)를 출력하는 T 플립플롭(10-2)과, 상기 코덱클럭신호(CDCLK)가 입력되어 동기신호(SYNC)를 출력하는 프레임 발생부(10-3)를 포함하여 구성된다.

도 4는 상기 클럭 분주기(20)의 상세 회로도로서 이에 도시된 바와 같이, 셋신호(SET)에 의해 초기화된 후, 클럭 입력단에 앞단의 T 플립플롭의 반전출력이 입력되는 제1-제4 T 플립플롭(TFF41-TFF44)이 직렬로 연결되어 구성된다.

도 5는 상기 3/4진 카운터(30)의 상세 회로도로서 이에 도시된 바와 같이, 셋신호(SET)에 의해 초기화된 후, 클럭 입력단에 앞단의 T 플립플롭의 출력이 입력되는 직렬연결된 제1-제4 T 플립플롭(TFF51-TFF54)과, 제4 플립플롭(TFF54)의 반전출력을 반전시키는 인버터(INV51)와, 제1 입력단에 상기 인버터(INV51)의 출력이, 제2 입력단에 모드신호(MD16)의 반전된 신호(MD16B)가 입력되어 조합하는 노아게이트(NOR51)와, 제1 입력단에 상기 노아게이트(NOR51)의 출력이, 제2 입력단에 제3 플립플롭(TFF53)의 반전출력이 입력되어 조합하는 오아게이트(OR51)와, 제1 입력단에 제1 플립플롭(TFF41)의 반전출력이, 제2 입력단에 제2 플립플롭(TFF52)의 반전출력이 입력되어 조합하는 오아게이트(OR52)와, 상기 오아게이트들(OR51,OR52)의 출력을 조합하는 오아게이트(OR53)를 포함하여 구성된다.

도 6은 상기 직렬 입출력 인터페이스부(50)의 송신 직렬 입출력 인터페이스부(50-1)의 상세 회로도로서 이에 도시된 바와 같이, 클럭 입력단에 송신클럭신호(TXCLK)가 입력되고, 읽기제어신호(RD)와 쓰기제어신호(WR)에 의해 제어되어 데이터 출력단으로 8비트의 송신 데이터를 출력하는 제1,제2 데이터송신부(TXD1,TXD2)와, 제1 데이터송신부(TXD1)의 송신출력신호(TXOUT)와 모드신호(MD16)가 입력되는 앤드게이트(AND61)와, 상기 모드신호(MD16)를 반전시키는 인버터(INV61)와, 제1 입력단에 상기 인버터(INV61)의 출력이 입력되며, 제2 입력단은 접지에 연결된 앤드

게이트(AND62)와, 상기 앤드게이트들(AND61,AND62)의 출력을 조합하여 제2 데이터 송신부(TXD2)의 입력단에 입력하는 오아게이트(OR61)를 포함하여 구성된다.

도 7은 상기 송신 직렬 인터페이스부(50-1)의 데이터송신부(TDX)의 상세 회로도로서 이에 도시된 바와 같이, 클럭 입력단에 직렬입출력 인터페이스 클럭신호(SIOCLK)가 입력되고, 읽기,쓰기제어신호(RD,WR)에 의해 제어되어, 입력단(SIN)에 뒤단의 시프트(SH(i+1))의 출력(SOUT)이 입력되며, 제1 시프트(SH71)의 출력단(SOUT)에서 송신출력신호(TXOUT)가 출력되는 제1-제8 시프트(SH71-SH78)로 구성되어, 데이터 출력단(DB)에서 8비트의 송신데이터(DB<7:0>)가 데이터 버스(Data Bus)로 출력된다.

도 8은 상기 직렬 입출력 인터페이스부(50)의 수신 직렬 입출력 인터페이스부(50-2)의 상세 회로도로서 이에 도시된 바와 같이, 클럭 입력단에 직렬입출력인터페이스 클럭신호(SIOCLK)가 입력되고, 읽기제어신호(RD)에 의해 제어되어 데이터 입력단(DB)으로 8비트의 수신데이터(DB(7:0))가 입력되는 제1,제2 데이터수신부(RX1,RX2)와, 제1 데이터수신부(RX1)의 출력신호(SOUT)와 모드신호(MD16)가 입력되는 앤드게이트(AND81)와, 상기 모드신호(MD16)를 반전시키는 인버터(INV81)와, 그 인버터(INV81)의 출력과 수신제어신호(RXIN)를 더하는 앤드게이트(AND82)와, 상기 앤드게이트들(AND81,AND82)의 출력이 조합되어 제2 데이터수신부(RX2)의 입력단에 입력하는 오아게이트(OR81)를 포함하여 구성된다. 여기서, 쓰기제어신호 입력단(WR)은 접지에 연결되어 있다.

도 9는 상기 수신 직렬 인터페이스부(50-2)의 데이터수신부(RX)의 상세 회로도로서

이에 도시된 바와 같이, 클럭 입력단에 직렬 입출력 인터페이스 클럭신호(SIOCLK)가 입력되고, 읽기제어신호(RD)에 의해 제어되어, 입력단(SIN)에 뒤단의 시프트(SH(i+1))의 출력(SOUT)이 입력되며, 제1 시프트(SH91)의 출력단(SOUT)에서 수신출력신호(RXOUT)가 출력되는 제1-제8 시프트(SH91-SH98)로 구성되어, 데이터 출력단(DB)에 8비트의 수신데이터(DB<7:0>)가 데이터 버스(Data Bus)로부터 입력된다.

이와 같이 구성된 본 발명 직렬 통신 인터페이스 회로의 동작을 상세히 설명하면 다음과 같다.

먼저, 상기 코덱 인터페이스부(10)의 모듈 3 카운터(10-1)와 T 플립플롭(10-2)는 입력클럭신호(CLK)를 이용하여 코덱클럭신호(CDCLK)를 발생시킨다.

프레임 발생부(10-3)는 상기 코덱클럭신호(CDCLK)가 입력되어 동기신호(SYNC)를 발생한다.

여기서, 코덱 인터페이스부(10)는 단순히 코덱과 코덱 사이에 존재하여 외부클럭신호(CLK)와 동기신호(SYNC)를 코덱들에 맞추어 주는 역할을 한다.

이어서, 클럭분주기(20)는 외부클럭신호(CLK)를 입력받아 분주하여 클럭소오스 선택부(30)에 출력하면, 그 클럭소오스 선택부(30)는 원하는 클럭신호(CLKOUT)를 선택하여 출력한다.

이어서, 3/4 진 카운터(40)는 셋신호(SET)에 의해 리셋되고, 상기 클럭 소오스 선택부(3)에서 출력되는 출력클럭신호(CLKOUT)에 동기되어 카운트를 하여 직렬 입출력 인터페이스부(50)에 직렬 입출력 인터페이스 클럭신호(SIOCLK)를 출력한다.

여기서, 3/4 진 카운터(40)는 모드신호의 반전된 신호(MD16B)가 로우(Low)이면, 즉

모드신호(MD16)가 하이이면, 3진 카운터로 작동하고, 모드신호(MD16)가 로우(Low)이면, 제4 플립플롭(TFF34)의 출력에 의해 영향을 받는 4진 카운터로 동작한다.

한편, 직렬 입출력 인터페이스부(50)는 모드신호(MD16)가 하이(High)이면, 앞 송신 8 비트, 수신 8 비트의 출력이 뒤 송신 8 비트, 수신 8 비트의 입력으로 들어가서 16 비트 데이터 송, 수신이 가능하다.

반대로, 모드신호(MD16)가 로우(Low)이면, 앞 송신 8 비트, 수신 8 비트의 출력이 뒤 송신 8 비트, 수신 8 비트의 영향을 받지 않기 때문에 8 비트 데이터 송, 수신을 하게 된다.

따라서, 데이터 송신 시에는, 송신 직렬 입출력 인터페이스부(50-1)의 제1 데이터 송신부(TX1)가 직렬 입출력 인터페이스 클럭신호(SIOCLK)에 동기되고, 읽기, 쓰기 제어신호(RD, WR)에 의해 제어되어 제1-제8 시프트(SH71-SH78)에서 8 비트의 송신 데이터가 데이터 버스에 직렬로 출력된다. 이와 동일하게 제2 데이터 송신부(TX2)에서도 8 비트의 송신 데이터가 데이터 버스에 출력된다.

한편, 데이터 수신 시에는, 수신 직렬 입출력 인터페이스부(50-2)의 제1 데이터 수신부(RX1)가 직렬 입출력 인터페이스 클럭신호(SIOCLK)에 동기되고, 읽기 제어신호(RD)에 의해 제어되어 제1-제8 시프트(SH91-SH98)에 데이터 버스에 실린 수신 데이터가 병렬로 입력된다. 이와 동일하게 제2 데이터 수신부(RX2)도 데이터 버스에 실린 8 비트의 수신 데이터가 입력된다.

【발명의 효과】

따라서, 코덱 인터페이스부(10)와 8 비트/16 비트 겸용 직렬 입출력 인터페이스부

(50)가 함께 구성되어 있기 때문에, 프로그램에 의해 각각 사용할 수 있고, 동시에 사용할 수도 있기 때문에 직렬 입출력 인터페이스를 효율적으로 동작시킬 수 있는 효과가 있다.

또한, 8 비트/16 비트 겸용 직렬 입출력 인터페이스부(50)를 사용하기 때문에 데이터 송, 수신할 때, 8 비트 또는 16 비트 직렬 입출력 인터페이스 보다 효율적이다.

게다가, 클럭 선택부(30)에 의해, 다양한 입력 클럭에 대해서도 코덱 인터페이스나 직렬 입출력 인터페이스 동작할 수 있고, 높은 스피드 클럭이 입력으로 들어와도 정상 동작할 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

입력클럭신호(CLK)가 입력되어 코덱클럭신호(CDCLK)와 동기신호(SYNC)를 출력하여 코덱과 코덱 사이에서 코덱클럭신호(CDCLK)와 동기신호(SYNC)를 맞추어주는 코덱 인터페이스부(10)와, 입력클럭신호(CLK)를 분주하는 클럭분주기(20)와, 상기 코덱 인터페이스부(10)에서 출력되는 코덱클럭신호(CDCLK)와 상기 클럭분주기(20)에서 출력되는 분주된 클럭신호들($\varphi/16 - \varphi$)을 선택하여 출력하는 클럭소오스선택부(30)와, 그 클럭소오스선택부(30)에서 출력되는 출력클럭신호(OUTCLK)를 입력받아 이를 3진 또는 4진 카운트하는 3/4진 카운터(40)와, 그 3/4진 카운터(40)에서 출력되는 직렬 입출력 인터페이스 클럭신호(SIOCLK)와 읽기,쓰기 제어신호(RD,WR)가 입력되어 데이터를 송신하는 송신 직렬 입출력 인터페이스부(50-1)와 데이터를 수신하는 수신 직렬 입출력 인터페이스부(50-1)를 포함하여 구성된 직렬 입출력 인터페이스부(50)로 구성된 것을 특징으로 하는 직렬 통신 인터페이스 회로.

【청구항 2】

제1 항에 있어서, 코덱 인터페이스부(10)는 외부클럭신호(CLK)가 입력되는 모듈 3 카운터(10-1)와, 그 모듈 3 카운터(10-1)의 출력이 입력되어 코덱클럭신호(CDCLK)를 출력하는 T 플립플롭(10-2)과, 그 코덱클럭신호(CDCLK)가 입력되어 동기신호(SYNC)를 출력하는 프레임 발생부(10-3)를 포함하여 구성된 것을 특징으로 하는 직렬 통신 인터페이스 회로.

【청구항 3】

제 1 항에 있어서, 코덱 인터페이스부(10)와 직렬 입출력 인터페이스부(50)가 함께 구성되어 프로그램에 의해 각각 사용하거나, 동시에 사용할 수 있는 것을 특징으로 하는 직렬 통신 인터페이스 회로.

【청구항 4】

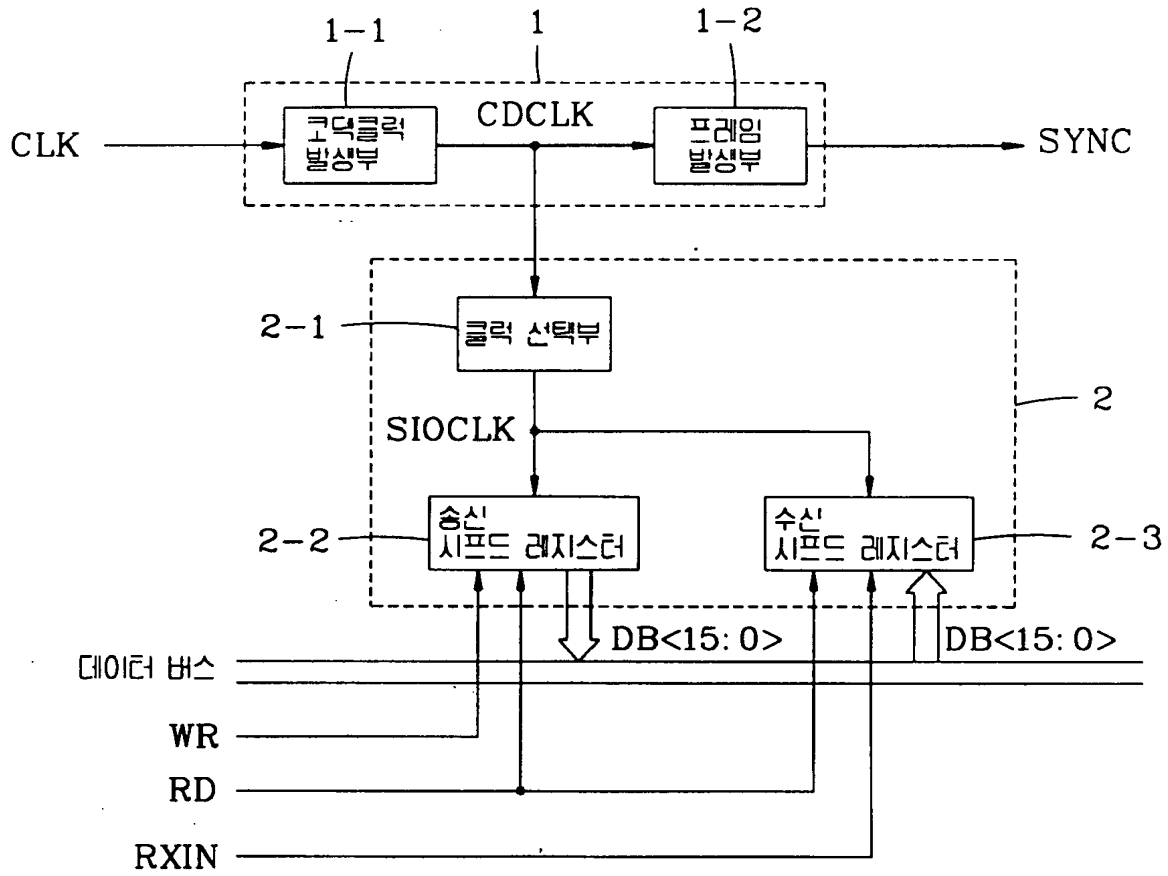
제 1 항에 있어서, 3/4 진 카운터(40)는 모드신호(MD16)에 의해 3 진 또는 4 진 카운터로 동작하는 것을 특징으로 하는 직렬 통신 인터페이스 회로.

【청구항 5】

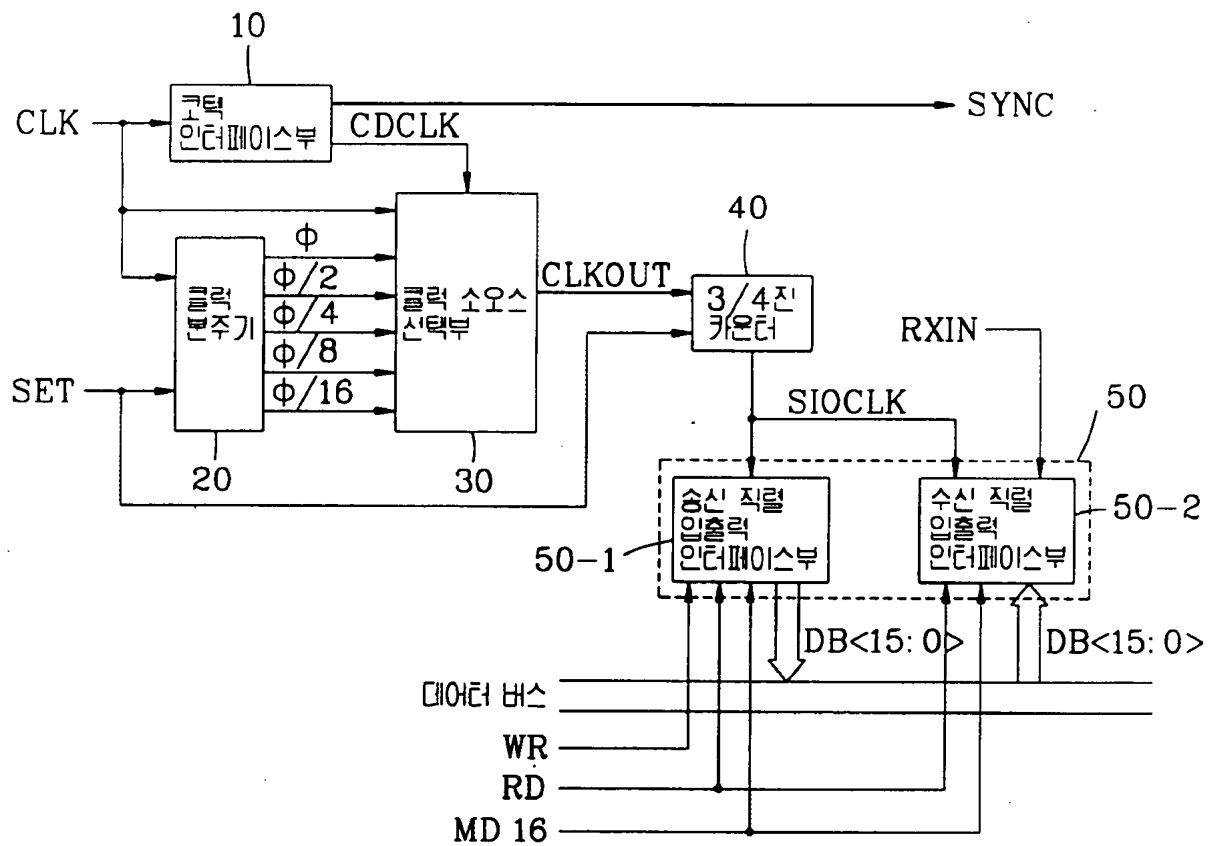
제 1 항에 있어서, 직렬 입출력 인터페이스부(50)는 데이터를 송, 수신할 때, 모드신호(MD16)에 의해 8 비트 또는 16 비트로 선택적으로 출력할 수 있는 것을 특징으로 하는 직렬 통신 인터페이스 회로.

【도면】

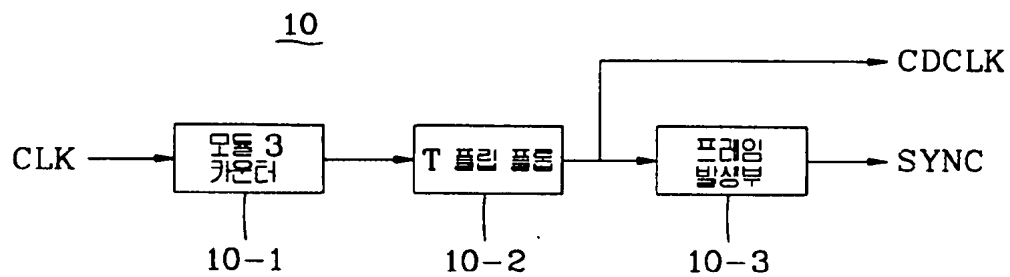
【도 1】



【도 2】

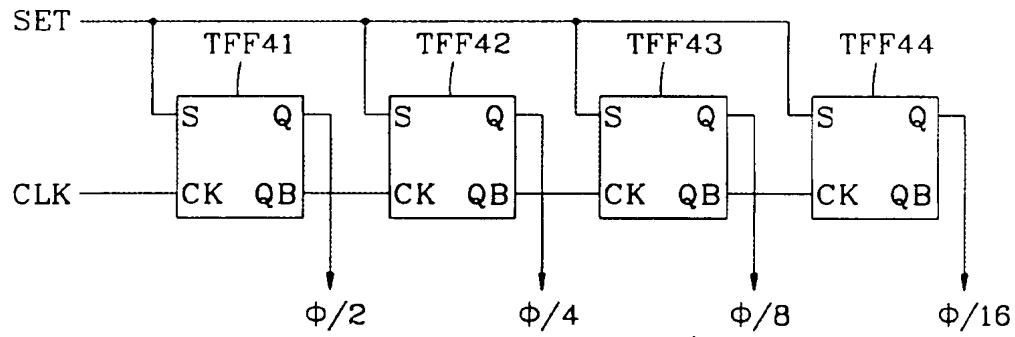


【도 3】



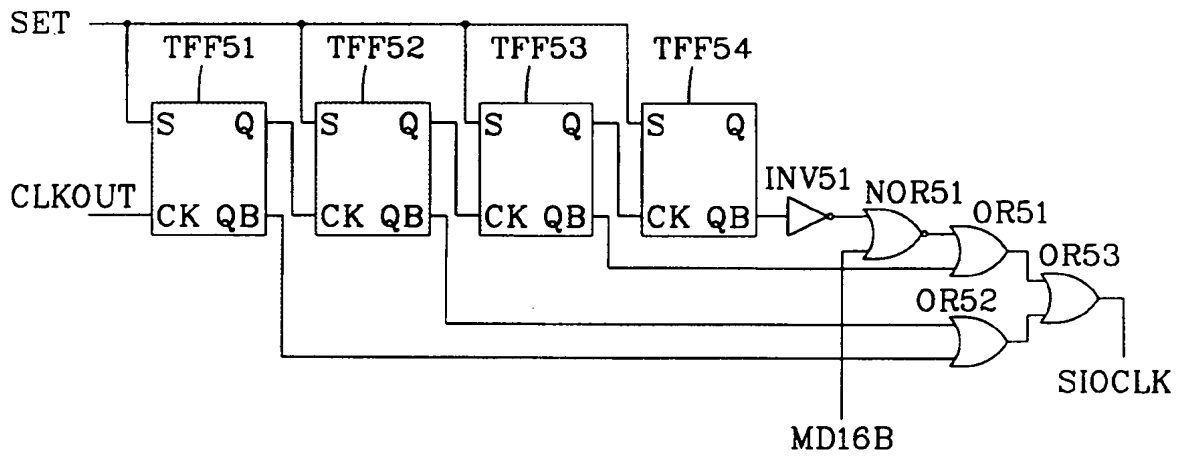
【도 4】

20

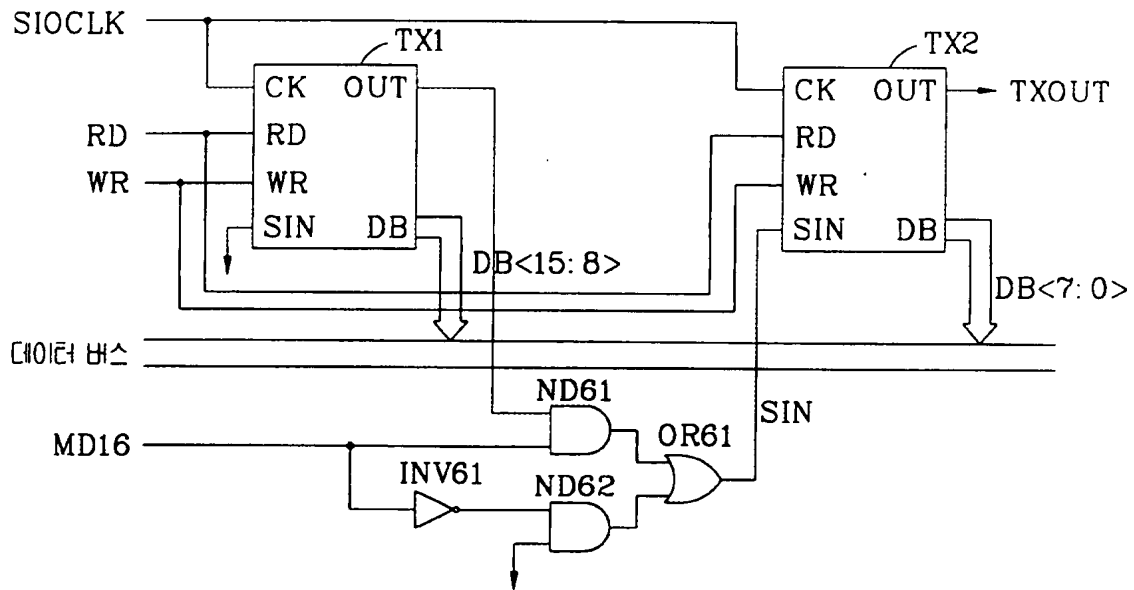


【도 5】

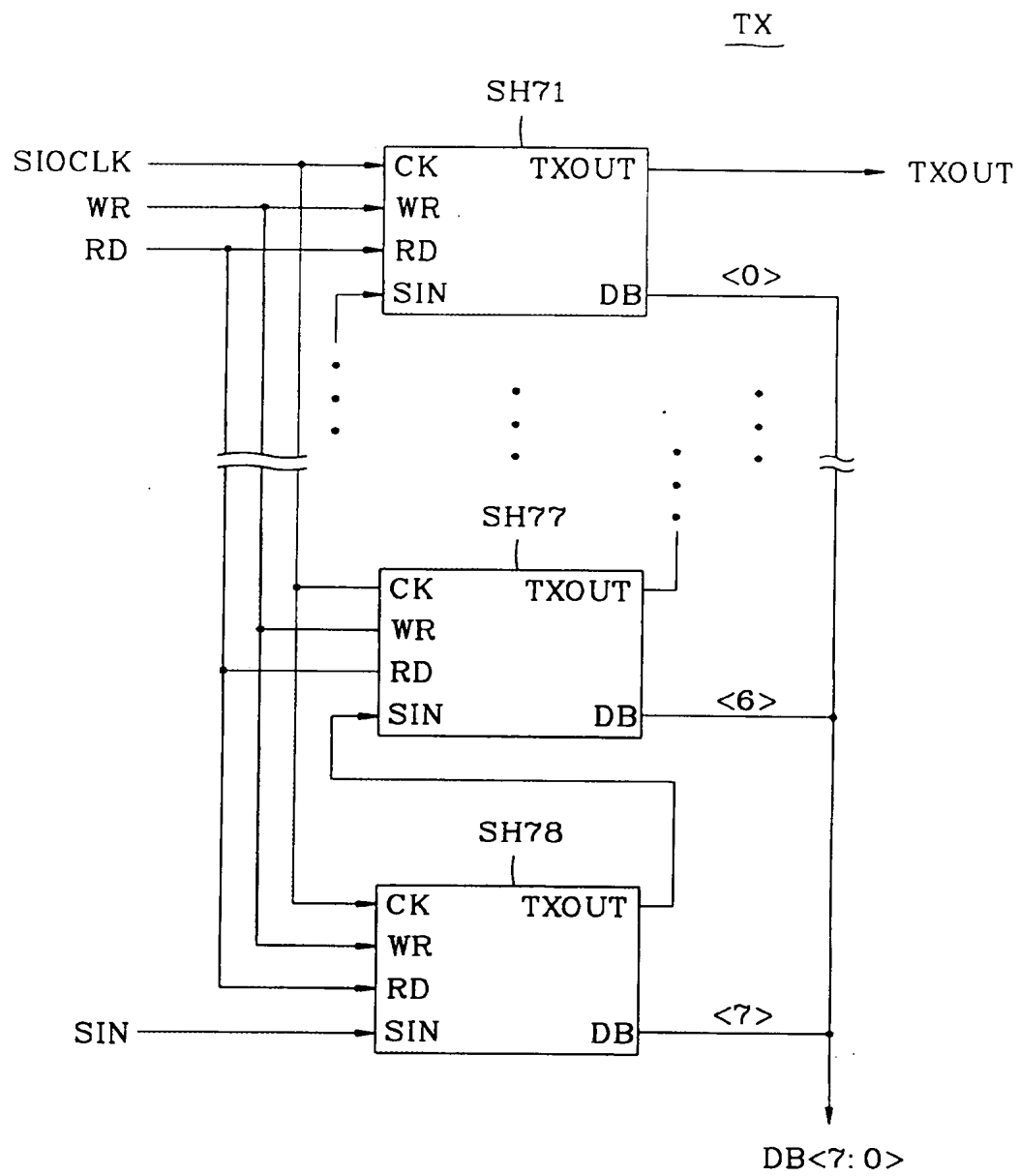
40



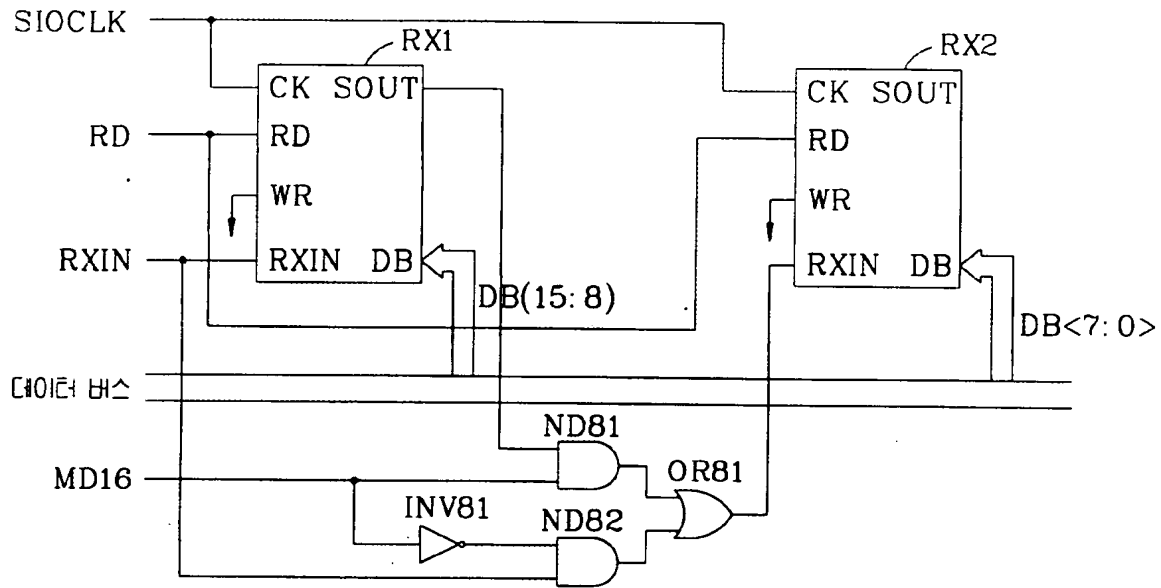
【도 6】



【도 7】



【도 8】



【도 9】

